TRABALHO DE LABORATÓRIO III

CIRCUITOS SEQUENCIAIS

1. INTRODUÇÃO

Pretende-se com este trabalho que os alunos se familiarizem com os elementos básicos de memória (flip-flops). Este trabalho é considerado para **avaliação de conhecimentos**. No **início da aula** cada grupo deverá **impreterivelmente** mostrar ao docente a resposta a todas as questões referidas nas secções 2 e 3, com excepção dos pontos 2.5 e 3.3, os quais poderá realizar durante a aula de laboratório. **Recomenda-se no entanto que realize todo o trabalho em casa, usando a aula de laboratório apenas para testar o circuito na placa de prototipagem (secção 4).** Durante a aula o grupo pode completar o relatório e escrever as conclusões sobre o circuito. O relatório deverá ser entregue ao docente no **final da aula**. Na secção 5 é explicada a estrutura que o relatório deverá seguir.

Como preparação prévia, deve ser feita uma leitura cuidada ao documento *"Introdução ao Ambiente de Projecto da Xilinx"* disponível na página da cadeira. **Deve ter consigo nesta** e nas aulas de laboratório seguintes cópias dos documentos "*Introdução ao Ambiente de Projecto da Xilinx*" e "*Guia de Implementação de Circuitos na Placa de Desenvolvimento*" os quais deverá utilizar como manuais de utilização.

2. ANÁLISE DE UM CIRCUITO SEQUENCIAL BÁSICO

O esquema da Figura 1 implementa um contador constituído por 3 Flip-Flops (FF's) tipo JK (ambos com entradas de *Set* e *Reset* síncronas com o flanco ascendente de relógio) e lógica combinatória adicional. O esquema deste circuito está no ficheiro `sequential.sch` disponível na página da disciplina.
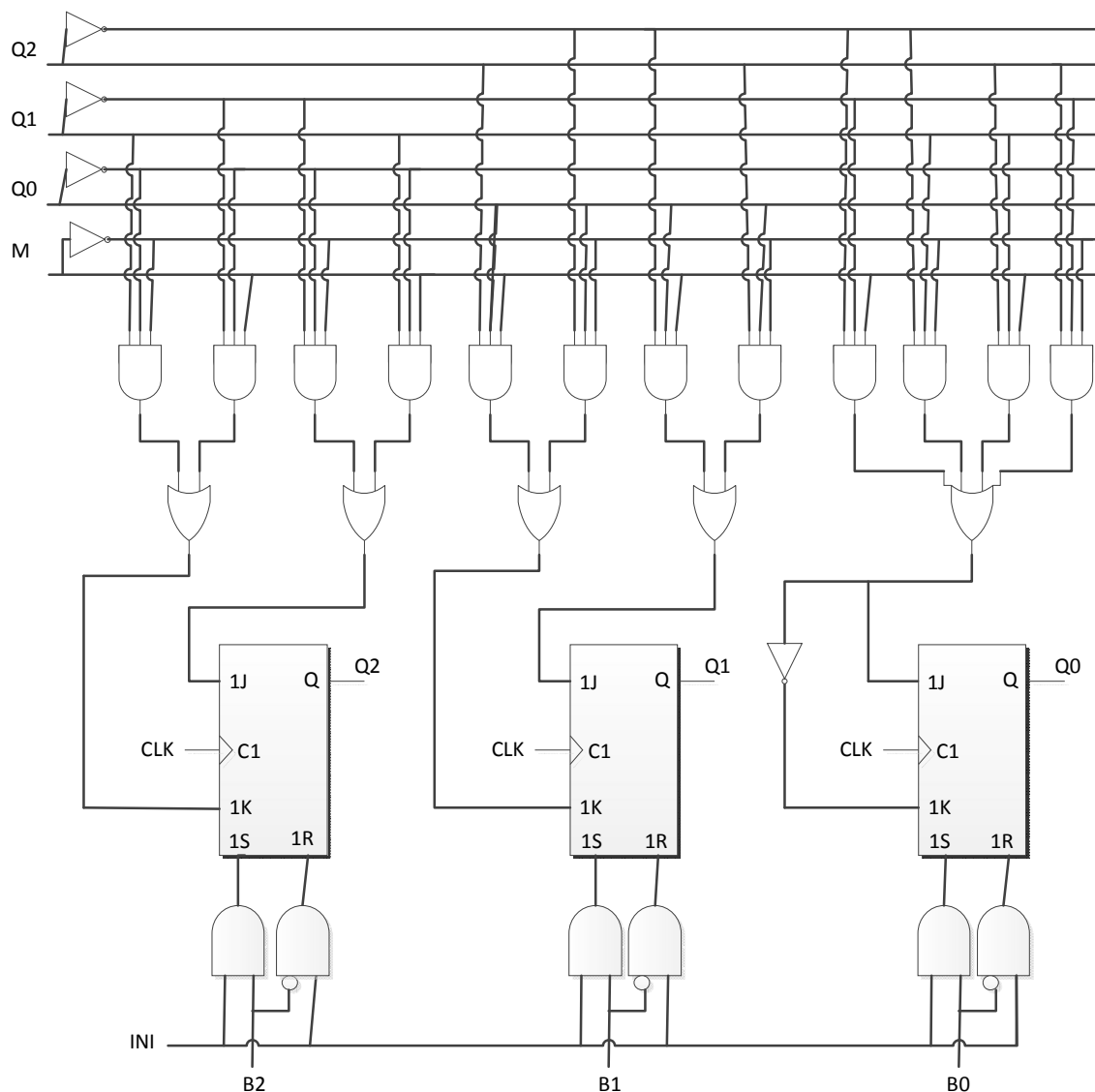
Figura 1 - Circuito sequencial básico.

2.1. Considere a entrada B=<B2,B1,B0>, que corresponde ao resto da divisão por 8, da soma do dígito menos significativo do número de aluno com menor valor (quando este número está representado em base 10) com o dia da semana do turno de laboratório. Por exemplo, para um grupo formado pelos elementos 76149 e 77188, o qual realiza laboratório à quinta-feira, a constante B é 9+5 mod 8 = 6. De acordo com as suas previsões teóricas, construa a tabela de verdade do circuito indicando, para cada um dos estados (i.e., para cada valor possível à saída dos FFs), qual o estado seguinte (i.e., o valor à saída dos flip-flops após o próximo flanco de relógio), em função das entradas M e INI. Justifique.

2.2. Indique qual é o código utilizado na contagem e explique a função da entrada M.

2.3. Explique como poderia implementar um contador CBN com base no circuito da Figura 1.

2.4. Para o circuito descrito complete o diagrama temporal da Figura 2, de acordo com as previsões teóricas do funcionamento deste circuito obtidas em 2.1 (considere que os tempos de propagação dos FF's e das portas lógicas são desprezáveis face ao período de relógio). Justifique.
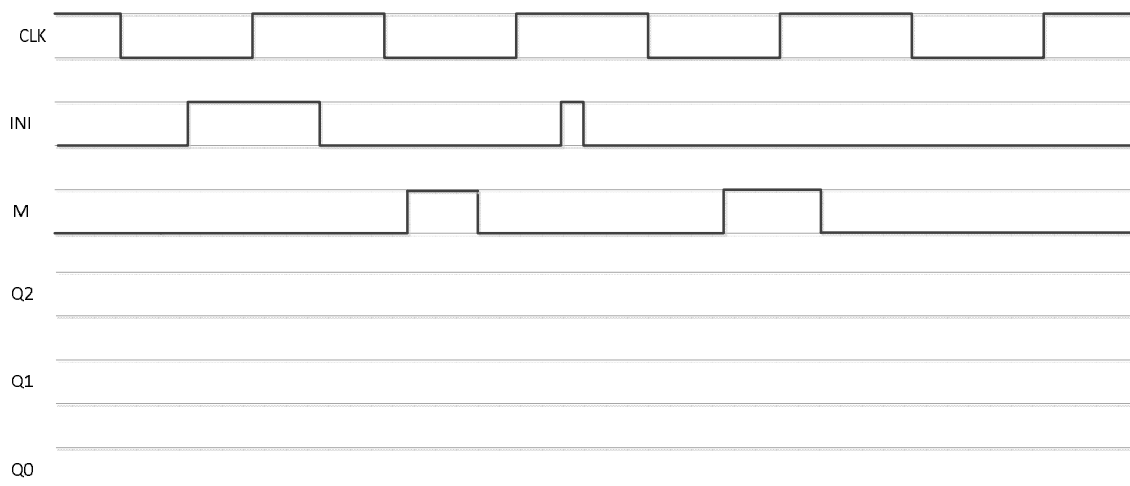
Figura 2 - Diagrama temporal a completar.

2.5. Usando o ambiente de projecto da Xilinx, faça uma simulação que permita verificar o funcionamento teórico previsto para o circuito em causa. Utilize o documento *"Introdução ao Ambiente de Projecto da Xilinx"*, acessível a partir da página web da cadeira, como manual de utilização das ferramentas. Sugere-se que efectue os seguintes passos:

a) Siga o manual de forma a criar um projecto no ambiente Xilinx ISE e a simular o circuito exemplo indicado na página 6 do manual.

Nota: não tem de apresentar a simulação deste circuito no relatório.

b) Importe, através de *Project→ Add Copy Of Source*, o ficheiro `sequential.sch` disponível na página da disciplina. A Figura 3 ilustra o circuito importado, o qual é funcionalmente equivalente ao esquema da Figura 1.

c) Seguindo uma metodologia semelhante à indicada em a), e utilizando as definições de simulação da Figura 4, defina as formas de onda para os sinais CLK, M, INI e B indicadas na Figura 5 (actualize o valor inicial das entradas B, por forma a terem o valor calculado em2.1 como valor inicial). Simule o circuito.
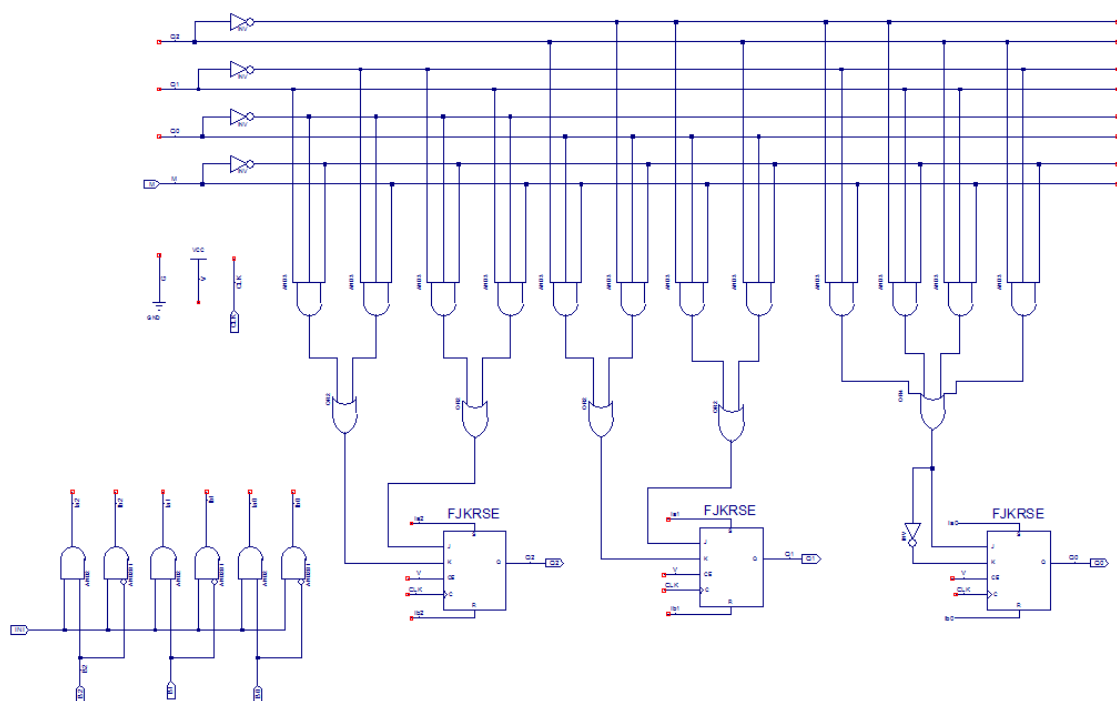
Figura 3 - Esquema eléctrico do circuito no Xilinx ISE, o qual é funcionalmente equivalente ao diagrama lógico apresentado na Figura 1. Note que no editor de esquemas do Xilinx ISE, para fazer a ligação entre dois fios, basta dar o mesmo nome aos dois. Assim os sinais Q no topo, correspondem às saídas Q que são geradas pelos flip-flops. Note ainda que as entradas e saídas do circuito são dadas pelo símbolo .
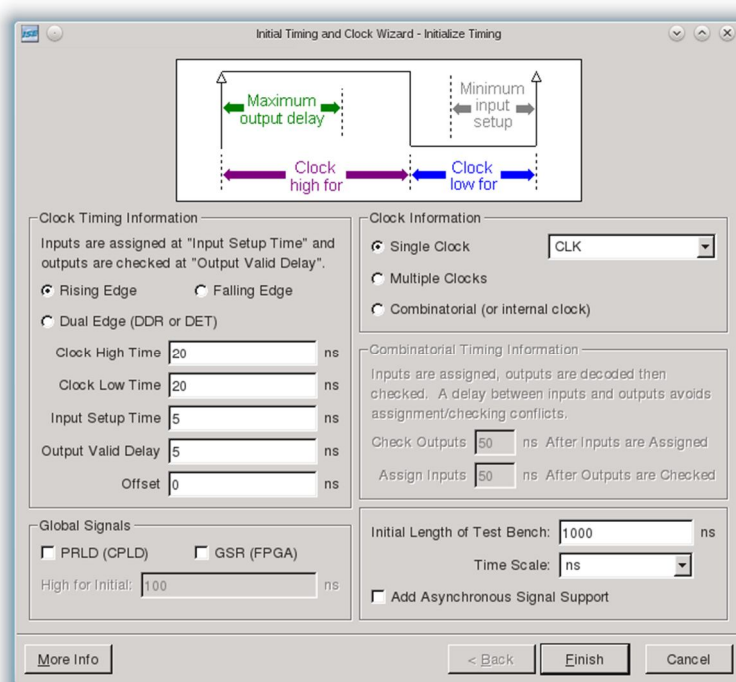
Figura 4 - Definições a usar para a simulação.
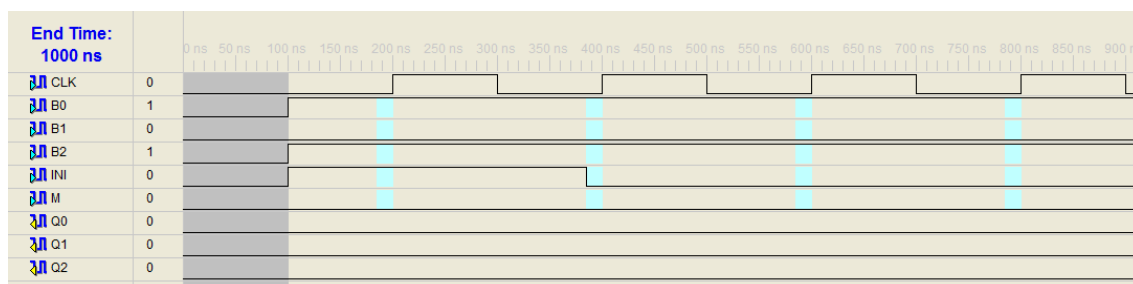
Figura 5 - Introdução das formas de onda dos sinais CLK e INI no Xilinx ISE, considerando B=5.

3. PROJECTO DE UM CIRCUITO DE CONTROLO BÁSICO

3.1. Altere a lógica de controlo dos sinais de *set* e de *reset* dos flip-flops do circuito sequencial da Figura 1, assim como a lógica das saídas, para que os valores de saída da contagem correspondam aos números primos representáveis com três bits. Tenha em conta que a sequência de saída do circuito deve começar (após inicialização) no primeiro número primo.

Indique no relatório:

- As tabelas de verdade da lógica das saídas em função do estado dos flip-flops, assim como a tabela de verdade do sinal de controlo que actua sobre os sinais *set* e de *reset*.
- O funcionamento do circuito, bem como o esquema do mesmo;
- A tabela de transição de estados (admita que o sinal INI=0);
- O diagrama de estados (com INI=0).

<u>Sugestão:</u> para garantir que não tem erros de projecto, após desenhar o esquema, verifique teoricamente se este funciona de acordo com o esperado.

3.2. Implemente o circuito projectado no Xilinx ISE. Para tal realize os seguintes passos:

a) Adicione um novo ficheiro (*New Source*, *schematic*) ao ambiente de trabalho.

b) Implemente o circuito completo considerando o seguinte:

- pode usar quaisquer portas lógicas que achar conveniente;
- se necessitar de ligar alguma entrada a um valor fixo, utilize os símbolos `Gnd` e `Vcc` para indicar os valores lógicos 0 e 1, respectivamente;
- o sinal de relógio tem o nome CLK e a entrada de *reset* corresponde ao sinal INI;
- deverá adicionar os marcadores, representados pelo símbolo ⬠, correspondentes às entradas e saídas do circuito:
  - CLK – sinal de relógio de entrada
  - INI – sinal de entrada para inicialização do circuito
  - M – sinal de entrada para controlo da contagem
  - B2,B1,B0 – sinais de entrada
  - Q2,Q1,Q0 – estado dos flip-flops
  - S2, S1, S0 – sinais de saída.

3.3. Verifique se o desenho tem erros, tal como indicado no manual *"Introdução ao Ambiente de Projecto da Xilinx"*.

3.4. Crie um novo ficheiro de simulação referente ao circuito que acabou de criar. Faça a simulação do circuito de forma a verificar o seu funcionamento.

4. TESTE DO CIRCUITO NA PLACA DE PROTOTIPAGEM

Assume-se que os alunos já simularam exaustivamente e com sucesso o circuito projectado na alínea 3. Assume-se também que os alunos trazem o projecto (como todos os ficheiros auxiliares do Xilinx ISE e não o esquemático somente) Xilinx ISE do circuito da alínea 3 numa *USB flash drive* ou disco externo USB, já com o ficheiro de configuração .bit gerado.

Para o teste do circuito projectado na alínea 3, foi disponibilizado um conjunto de ficheiros (disponíveis na página da cadeira):

Nome do ficheiro	Descrição
`sd.sch`	Esquema principal.
`Basys2.ucf`	Ficheiro de configuração das portas para os alunos que têm laboratório no LSD1.
`Basys.ucf`	Ficheiro de configuração das portas para os alunos que têm laboratório no LE3.
`clk_div.vhd`	Divisor de Frequência - especificação.
`clk_div.sym`	Divisor de Frequência - símbolo.
`disp7.vhd`	Bloco de controlo do display de 7 segmentos - especificação.
`disp7.sym`	Bloco de controlo do display de 7 segmentos - símbolo.

Não modifique os nomes destes ficheiros.

4.1. Adicione ao projecto os ficheiros `sd.sch`, `Basys2.ucf (ou Basys.ucf)`, `clk_div.vhd` e `disp7.vhd` com "*Project* → *Add Copy of Source*" (os ficheiros com extensão `.sym` serão importados automaticamente).

4.2. Abra o esquema do módulo `sd` clicando duas vezes em cima do ficheiro `sd.sch`.

Nota: se ao abrir o esquema lhe aparecer uma janela com a mensagem: "Open Schematic File Errors – Out-of-date Symbols" clique em "Update Instances" e em OK.

Este projecto não é mais do que uma interface para o aluno: as entradas e saídas já estão configuradas de acordo com o modelo do dispositivo utilizado na placa de desenvolvimento. Funciona como uma placa de prototipagem virtual.

Nota: Não altere o conteúdo das caixas indicadas a vermelho nem os nomes dos marcadores de entrada/saída.

À esquerda do esquema estão as interfaces de entrada correspondentes aos vários interruptores disponíveis na placa. À direita tem as saídas correspondentes aos 4 displays de 7 segmentos (acendem o símbolo hexadecimal correspondente ao número binário de 4 bits respectivo) e aos leds simples.

No esquema pode deixar os sinais dos botões de entrada que não usa "no ar" (o programa elimina-as automaticamente). No entanto, para todas as interfaces de saída (caixa vermelha à direita), deve ligar todas as entradas que não usa a `Gnd`. Utilize o símbolo `Gnd` para fixar sinais a 0, e o símbolo `Vcc` para fixar sinais a 1.

Crie um símbolo para o esquema do circuito projectado na secção 3 e adicione-o ao esquema do ficheiro `sd.sch`.

NOTA: *Serão penalizados os trabalhos que insiram o esquema da secção 3 directamente no ficheiro `sd.sch`.*

4.3. Realize as seguintes ligações no editor de esquemas:

a) Ligue o sinal de relógio CLK ao sinal `clk_slow`; este sinal tem uma frequência de 0,8Hz, o que permite visualizar as mudanças de estado.

b) Ligue o relógio do display de 7 segmentos (unidade `disp7`) à saída `clk_disp` da unidade `clkdiv`.

c) Ligue a entrada INI ao *buffer* do botão de pressão 0, `pressure0`.

d) Ligue a entrada M ao *buffer* do interruptor sw4.

e) Ligue os sinais B2, B1, e B0 aos *buffers* dos interruptores `sw2`, `sw1` e `sw0`, respetivamente.

f) Ligue os sinais Q2, Q1 e Q0 aos *buffers* dos LEDs `Led2`, `Led1` e `Led0`, respectivamente.

g) Ligue os sinais S2, S1 e S0 ao primeiro dígito do display de 7 segmentos, i.e., aos portos `disp1_2`, `disp1_1` e `disp1_0` da unidade lógica `disp7`, respectivamente. Não se esqueça de colocar `disp1_3` a 0.

h) Active a escrita no primeiro dígito do display de 7 segmentos, colocando a entrada `aceso1=1`. Desligue ainda os restantes dígitos colocando `aceso2=aceso3=aceso4=0`.

4.4. Implemente o circuito na placa de desenvolvimento. Para tal, siga as instruções no guia *"Guia de Implementação de Circuitos na Placa de Desenvolvimento"*. Note que o interruptor da placa deve estar na posição ON.
Nota: durante a síntese do circuito na placa de desenvolvimento, a ferramenta poderá indicar um conjunto de avisos (warnings) e erros. Os erros deverão ser todos corrigidos; os warnings podem em geral ser ignorados, sendo que alguns são originados pelo facto de ter entradas/saídas no ar.

4.5. Verifique o funcionamento correcto do circuito. Mostre-o ao docente. Comente.

4.6. Explique o que acontece nos LEDs e o porquê dos caracteres que visualiza nos displays.

5. AVALIAÇÃO DO TRABALHO DE LABORATÓRIO

Na avaliação do trabalho de laboratório serão tidas em conta as seguintes componentes:

- Preparação e resposta às questões da secção 2.
- Projecto do circuito da secção 3.
- Simulação (pontos 2.5 e 3.3) e teste do circuito (secção 4).
- Estrutura, apresentação e qualidade do relatório.

O relatório deverá usar o seguinte conjunto de regras:

Páginas:

- **Máximo de 12 páginas A4** (excluindo anexos), incluindo uma página de capa com a indicação do turno de laboratório, e do nome e número dos elementos do grupo.
- Páginas numeradas, preferencialmente com cabeçalho, e margens não inferiores a 2cm.

- Letra da família *sans-serif* (Arial, Verdana, Helvetica, Tahoma, Cambria, Calibri ou Trebuchet MS). Não deverão ser usadas fontes das famílias *cursive* ou *fantasy*, excepto para representar símbolos.
- Pode, se desejar, usar uma fonte da família *monospace* (ex.: Courier) para indicar sinais físicos.
- Tamanho da letra de fácil leitura e nunca inferior a 10pt.

Figuras e tabelas:

- As figuras (p. ex.: esquemas) poderão ser feitos num programa de edição de imagens (p. ex.: MS Visio, Omnigraffle, Inkscape, ...) ou manuscritas, digitalizadas (com scan ou máquina fotográfica/telemóvel) e inseridas nos espaços correspondentes do relatório. No entanto as figuras deverão estar em estado apresentável (limpas, sem rabiscos ou rascunhos, facilmente perceptíveis e com tamanho de letra não inferior à do relatório).
- As figuras deverão ser necessariamente enumeradas, acompanhadas de legenda (a legenda deverá explicar sucintamente o que se observa na figura) e ser referenciadas no texto.
- A simulação dos *Test Benches* deve ser obrigatoriamente incluída no corpo do relatório (e não em anexo). Estas deverão ser numeradas usando uma legenda do tipo "Figura" e referenciadas no texto, explicando sucintamente o que se observa.
- Todos os esquemas no Xilinx ISE realizados no contexto da secção 3 e 4 devem ser incluídos no relatório (e não em anexo) de forma legível. Para fazer um print screen podem ser usados quaisquer programas adicionais, tal como a ferramenta de recorte do Windows (*Snipping Tool*).

O não cumprimento das regras será penalizado na nota final do laboratório (ex: penalização de 0,5 valores por página adicional).

O relatório deverá ainda ter a seguinte estrutura:

1. **INTRODUÇÃO**
   Breve introdução aos objectivos do trabalho realizado.
2. **PROJECTO**
   Respostas às perguntas da Secção 2.1 a 2.4 e projecto do circuito da secção 3 (alínea 3.1). Deverá incluir no relatório o esquema no Xilinx ISE do circuito da alínea 3.2.
3. **TESTE DO CIRCUITO**
   Apresentação das simulações do circuito da Figura 1 (alínea 2.5) e do circuito projectado na secção 3 (alínea 3.4). Apresentação dos comentários relacionados com as simulações.
4. **IMPLEMENTAÇÃO DO CIRCUITO**
   Respostas às perguntas da secção 4 do enunciado e comentários referentes à implementação do circuito na placa de desenvolvimento Basys/Basys2.
5. **CONCLUSÕES**
   Comentário acerca do trabalho realizado e dos resultados obtidos experimentalmente.